

CLIPPEDIMAGE= JP406120036A

PAT-NO: JP406120036A

DOCUMENT-IDENTIFIER: JP 06120036 A

TITLE: COIL FOR MAGNETIC INDUCTION ELEMENT

PUBN-DATE: April 28, 1994

INVENTOR-INFORMATION:

NAME

MATSUZAKI, KAZUO

ASSIGNEE-INFORMATION:

NAME

FUJI ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP04265221

APPL-DATE: October 5, 1992

INT-CL (IPC): H01F017/00

US-CL-CURRENT: 336/200

ABSTRACT:

PURPOSE: To increase the current capacity of a coil for compact magnetic induction element such as transformer, inductor, etc., in combination with an integrated circuit device.

CONSTITUTION: This coil 30 is composed by a method wherein trench 31 deeply formed from the rear surface side of a semiconductor substrate 11 of a chip 10 on whose surface side another semiconductor device 20 such as integrated circuit device, etc., is formed is covered with an insulating film 32 so as to fill up the trench 31 with a high conductive metal such as copper, etc., as a coil conductor 33 by non-dielectrolytic plating step etc.

Furthermore, even if
the arrayal pitch of the coil conductor 33 is made minute
for miniaturization
of the magnetic induction element, the trench 31 can be
formed deeper if
necessary to increase the level of the coil conductor 22
while effectively
using the conventionally idling space on the rear surface
side of the substrate
11 thereby enabling the current capacity of the coil to be
increased.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-120036

(43)公開日 平成6年(1994)4月28日

(51)IntCl⁵

H01F 17/00

識別記号

庁内整理番号

D 7129-5E

FI

技術表示箇所

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平4-265221

(22)出願日 平成4年(1992)10月5日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 松崎 一夫

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

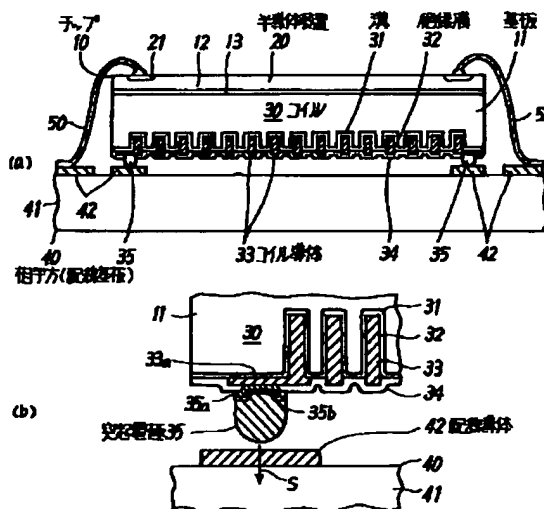
(74)代理人 弁理士 山口 巖

(54)【発明の名称】 磁気誘導素子用コイル

(57)【要約】

【目的】集積回路装置と組み合わせて用いる変圧器やインダクタ等の小形の磁気誘導素子のコイルの電流容量を向上させる。

【構成】集積回路装置等の半導体装置20が表面側に作り込まれるチップ10の半導体基板10の裏面側から溝31を深く掘り込んで溝面を絶縁膜32で覆い、コイル導体33として銅等の高導電性金属を無電解めっき法等によって溝31内に充填してコイル30を構成することにより、磁気誘導素子の小形化のためにコイル導体33の配列ピッチを微細化しても、基板11の裏側の従来に遊んでいたスペースを有効に利用しながら必要に応じて溝31を深く掘り込みコイル導体33の高さを増すことによりコイルの電流容量を向上できるようにする。



【特許請求の範囲】

【請求項1】半導体装置と組み合わせて用いられる磁気誘導素子のコイルであって、半導体装置用チップの基板の裏面側にコイルのパターンに掘り込まれた溝と、溝面を含むチップの裏面側に被着された絶縁膜と、絶縁膜で覆われた溝に充填された高導電性金属からなるコイル導体とを備え、コイル導体を突起電極を介して相手方の配線導体と接続して半導体装置とともに相手方に実装するようにしたことを特徴とする磁気誘導素子用コイル。

【請求項2】請求項1に記載のコイルにおいて、コイル導体が無電解めっきされた銅であることを特徴とする磁気誘導素子用コイル。

【請求項3】請求項1に記載のコイルにおいて、チップを実装する相手方の対向面側にコイルを設けるとともに実装面に磁性薄膜を配設し、チップ側および相手方側のコイルと磁性薄膜とにより磁気誘導素子を構成するようにしたことを特徴とする磁気誘導素子用コイル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は安定化電源等に半導体装置と組み合わせて用いる小形のインダクタや変圧器である磁気誘導素子のコイルであって、集積回路装置等の半導体装置用のチップに作り込まれるものに関する。

【0002】

【従来の技術】安定化電源等の電子装置、例えばスイッチング電源やチョッパ制御装置では、従来はスイッチング用や整流用の個別半導体素子にインダクタ、変圧器等の磁気誘導素子やキャパシタ等の個別部品を組み合わせ、プリント基板の上に実装する構造が主流であったが、用途拡大に伴い小形化の要求がとくに強いので最近ではこれに応じて半導体素子をチップのままセラミック配線基板に実装するいわゆるハイブリッド集積回路の構造が広く採用されるようになり、さらには大電力用の場合を除いてすべての個別半導体素子を制御回路とともに1個の集積回路装置のチップ内に集積化してしまうことも可能である。

【0003】このように半導体装置側の集積化が急速に進展しているのに対して個別部品、とくに磁気誘導素子の小形化は容易でなく、装置全体の体格を縮小して行く上で隘路になっている。従来、この磁気誘導素子の小形化は同じインダクタンスでも周波数に比例してリアクタンスが増加することを利用して、装置の動作周波数を高めることにより進めて来たが、1 MHz以上ではインダクタンスの周波数特性が低下しやすいので、動作周波数をあまり高めても実効が上らず、むしろ高周波損失が増加して装置の全体効率の低下を招く結果になり兼ねない。

【0004】この難点を突破するため、磁気誘導素子を半導体プロセス技術を利用して微細パターン化した薄膜導体と磁性薄膜の積層構造にして思い切った小形化を図

り、同時に半導体チップ上に作り付けて集積回路装置と磁気誘導素子をワンチップ化する試みがなされておりその将来性が囑目されている。この薄膜積層構造の磁気誘導素子としては、渦巻き状やつづら折れ状コイルに形成した薄膜導体を1対の磁性薄膜で両側から挟み込む構造のものや、薄膜導体と磁性薄膜の条を織物状に入り組ませる構造が知られている。いずれの構造でも磁気誘導素子は外形寸法が10mm以下で厚みが数十 μ mの小形で偏平な形状なので、半導体装置のチップ上に半導体技術を利用して作り付けることができる。

【0005】

【発明が解決しようとする課題】上述の薄膜積層構造の磁気誘導素子は半導体技術を利用して薄膜導体のコイルパターンを微細化することにより著しい小形化を可能にし、同時にそのインダクタンスの周波数特性を向上して装置の動作周波数を1 MHz以上に高め得る利点があるが、コイルを薄膜導体から形成するのでそのパターンの微細化を進めるほど導体幅が狭くなり、コイル導体に流し得る電流密度にはもちろん制約があるので磁気誘導素子の電流容量をあまり大きくできない問題がある。

【0006】この問題の解決には薄膜導体の厚みを増すしかないが、薄膜導体から相互間隔より高さが大なコイル導体をエッチングにより形成するのが容易でなく、大きな段差が付くのでその上に薄膜を積層するのが困難になり、かつコイルの放熱上も不利になって来る。本発明の目的は、かかる問題点を解決して半導体技術を利用しながら微細パターンに形成して容易に小形化でき、かつ電流容量を向上できる磁気誘導素子のコイルを得ることにある。

【0007】

【課題を解決するための手段】上記の目的は本発明によれば、半導体装置ないし集積回路装置が表面側に作り込まれるチップの半導体基板の裏面側に溝をコイル用パターンで深く掘り込み、この溝面を含む基板の裏面側に絶縁膜を被着し、絶縁膜で覆われた溝を充填するように高導電性金属からなるコイル導体を設け、コイル導体を突起電極を介して相手方の配線導体と接続して半導体装置とともにチップ実装するようにした磁気誘導素子のコイルにより達成される。

【0008】なお、上記の溝を良好な側面形状で深く掘り込むには、プラズマエッチング法ないしはリアクティブイオンエッチング法によるのが有利である。絶縁膜は酸化シリコン膜とするのが最も簡単かつ充分であり、これを基板のスチーム酸化等により付けることもできるが、チップの表面側に半導体装置がすでに作り込まれている場合は低温のCVD法により成膜するのがよい。溝内を充填するコイル導体用の高導電性金属には銅を用いるのがよく、その溝内への充填を良好にするにはこれ無電解めっきにより堆積するのが有利であり、さらにはこれを下地である溝面との密着性のよい低速無電解め

きと高速無電解めっきの2段階で堆積するのがとくに有利である。

【0009】上述のチップ実装に際してコイル導体を相手方の配線導体と接続する突起電極には、はんだのバンプ電極を用いるのが半導体装置を作り込んだチップの損傷を防止する上でとくに有利であり、突起電極はもちろんチップと相手方のいずれの側に設けてもよい。また、コイル導体の接続を確実にするためそれ用の高導電性金属からなる接続部をチップの基板の裏面上にコイル導体から延在させて設けておくのが有利である。

【0010】本発明の有利な実施ないしは適用上の態様では、チップを実装すべき相手方の対向面側にチップ側と同様な構造のコイルを設けるとともに、両者間の実装面に磁性薄膜を配設することによりチップ側および相手方側のコイルと磁性薄膜とによって磁気誘導素子が構成されるようにする。かかる態様では相手方の基板にはチップ側と同様に半導体を用いるのがよい。また、磁性薄膜はチップと相手方のいずれの側に設けてもよいが、相手方の表面を保護膜で覆い磁性薄膜をその上に担持させるのが有利である。

【0011】

【作用】前述の薄膜積層構造の磁気誘導素子はチップの半導体装置が作り込まれた方の表面側に積み重ね搭載されるが、本発明はチップの半導体基板の裏面側の遊んでいるスペースを有効に利用すればコイル導体の断面積を増加できる点に着目したもので、前項の構成にいう溝をこの基板の裏面側からコイル用の微細パターンで深く掘り込み、この溝面に絶縁膜を被着した上で溝を充填する高導電性金属からなるコイル導体を設けることにより、コイル導体の断面積を増加させてコイルの電流容量を向上し、同時にコイル導体の発熱を薄い絶縁膜を介して半導体基板に逃がすことによって放熱を良好にし、さらにコイル導体を突起電極を介して実装相手方の配線導体と接続することにより、コイル接続と同時に半導体装置を作り込んだチップの実装を果たせるようにしたものである。

【0012】

【実施例】以下、図を参照して本発明の実施例を説明する。図1は本発明の磁気誘導素子用コイルの一実施例を、図2はその異なる実施例をそれぞれチップおよび実装の相手方の断面図で示し、図3はチップ内に半導体装置とコイルを作り込む要領を主な工程ごとのチップの要部断面図で示すものである。なお、図1および図2の実施例では図の煩雑を避けるためコイルをインダクタ用とするが、変圧器用では例えば2個のコイルを入り組ませたパターンで作り込むことでよい。

【0013】図1(a)の上側に示されたチップ10はいわゆる基板接合形で、後に図3で説明するように半導体の1対の基板11と12が酸化膜13を介し相互に接合されている。上側の基板12は数十 μm の厚みに仕上げられ、例え

ば安定化電源のスイッチングトランジスタ、整流ダイオード等の回路素子と制御回路とを含む集積回路である半導体装置20がこれに作り込まれており、その外部との接続用に簡略に示された接続パッド21が周縁部に設けられる。本発明によるコイル30は下側の数百 μm の厚みの基板11の裏面側から作り込まれ、図1(b)に詳細を示すよう突起電極35を介して相手方40、図の例では配線基板のセラミック基板41上の配線導体42と接続される。本発明ではこの接続と同時にチップ10の相手方40への実装が果たされ、チップ10内の半導体装置20はその接続パッド21およびボンディング線50を介して相手方40の配線導体42と接続される。

【0014】本発明のコイル30は、チップ10の厚い方の基板11の裏面側から多数条の溝31を例えば30 μm 程度の細かな配列ピッチでそれぞれ深く掘り込み、その溝面を含む基板11の裏面側に例えば酸化シリコンの絶縁膜32を1 μm 程度の膜厚で被着し、かつ溝31内を充填する高導電性金属、例えば銅からなりかつ図示のようにかなり縦長な断面をもつコイル導体33を溝31に嵌め込むように設けてなる。溝31の幅は例えば20 μm とされ、その深さはコイル30に賦与すべき電流容量に応じて30 μm 程度以上とされる。この図1の実施例ではコイル30のパターンは図の左右方向に並ぶその導体33が図の前縁で交互に折り返すつづら折れ状とされ、図示のようにその左右の端部で相手方40と接続される。

【0015】図1(b)はこの接続部を拡大断面で示す。突起電極35はコイル30と相手方40のいずれの側に設けてもよいが、この実施例では前者側に設けかつはんだのバンプ電極とする。図のように基板11の裏面をコイル導体33上を含め窒化シリコン等の保護膜34で覆い、それに開口した窓の中でコイル30に接続するよう突起電極35を設ける。コイル導体33の幅が狭いのでそれ用の銅を側方に延出して接続部33aとする。通例のようにこの接続部33aと保護膜34の窓内で接触する薄いチタン等の下地膜35aと銅等の下地膜35bを付け、その上側にはんだを電解めっき法で成長させ、かつ先端に丸みがつくようリフローさせて突起電極35用のバンプとする。かかるはんだバンプの突起電極35は相手方40の配線導体42に対し図では矢印Sで示す300℃以下の低温のはんだ付けにより容易に接続できる。

【0016】図2の実施例のチップ10は図1と同様な構造であるがその裏面側のコイル30が渦巻き状パターンとされる。この実施例の相手方60は図1と異なりその基板61を半導体基板とし、その上面のチップ10の実装部分にそれと同じ構造のコイル30を設けてチップ10側のコイル30と直列接続する。そのため、この相手方60のコイル導体33の上を層間絶縁膜62で覆い、その上側にアルミ等の配線導体63を配設し、さらにその上を覆う保護膜64の窓内で配線導体63と接続するように突起電極65を突設し、かつ窓内に露出させた配線導体63を接続パッド66とす

5

る。図示の例では相手方60のコイル30の中央の端部は配線導体63と突起電極65を介してチップ10のコイル30の中央端部と接続され、相手方60のコイル30の左側の端部はその接続部33aを介して接続パッド66と接続されている。

【0017】さらにこの図2の実施例ではチップ10と相手方60の相互間に磁性薄膜70を配設して両者のコイル30とともにいわゆる内鉄形の磁気誘導素子、この例ではインダクタを構成する。この磁性薄膜70は軟磁性をもつ強磁性体金属をスパッタ法等により10〜数十 μm の膜厚に成膜してフォトリソエッチングによって所望のパターンに形成することでよく、チップ10と相手方60のいずれの側に設けてもよいが、図の例ではチップ10側にはコイル導体33が露出しているの、相手方60の方に設けてその表面を覆う保護膜64上に担持させる。図2に示されたその他の部分は図1と同じなので説明を省略する。

【0018】以上説明した図1と図2のいずれの実施例においても、コイル30のパターンを微細化しても基板11に数百 μm の厚みがあるので、必要に応じて溝31を深く掘り込んでコイル導体33の高さを増すことにより、コイル30の電流量を従来の数倍以上に向上できる。また、チップ10の表面側の半導体装置20がコイル導体33から図のようになんまり離れているので、薄膜積層構造に比べてコイル30の電流により発生する磁場の悪影響を受けるおそれを減少させることができる。

【0019】次に、図3を参照してチップ10内に半導体装置20とコイル30を作り込む要領を説明する。図3(a)〜(d)は基板12を半導体装置20の回路素子や回路部分を作り込むべき半導体領域に分離する工程を示し、図3(e)〜(h)は基板11の裏面からコイル30を作り込む工程を示す。これら工程はすべてウエハの状態が進められるので符号10は今までのチップのかわりにウエハを示すものとし、このウエハ10はいわゆる誘電体分離ウエハであるものとする。また、図3(e)以降では基板11がその裏面を上側に向けた姿勢で示されている。

【0020】図3(a)は基板接合工程であって、1対の基板11と12のいずれか一方の表面に酸化膜13を付けて鏡面に仕上げた後、両基板11と12を重ね合わせた状態で不活性ふん囲気内の高温加熱により両者を接合してウエハ10とし、かつ基板12に研磨を施して半導体装置20を作り込むに適した数十 μm の厚みに仕上げる。それ以降はこの基板12の誘電体分離工程であり、まずその最初の図3(b)の工程では溝14をプラズマエッチング法により基板12の表面から酸化膜13に達するまで掘り込んで基板12を複数の半導体領域15に分離し、かつ溝面を含む全面をスチーム酸化法による1 μm 程度の膜厚の酸化膜である誘電体膜16で被覆する。

【0021】図3(c)は多結晶シリコンによる溝の充填工程であり、シラン等を原料ガスとする熱CVD法により多結晶シリコン17をウエハ10の全面上に堆積させて溝

6

14を充填する。この際、半導体領域15の上側にも多結晶シリコン17が堆積するので、次の図3(d)の工程ではウエハ10の表面上の多結晶シリコン17を酸化することにより酸化膜18に変え、かつ必要に応じてそれを所定の厚みにまでエッチングして図示の状態とする。以上によって例えばn形の基板12が誘電体膜16により相互に絶縁された複数の半導体領域15に誘電体分離されるので、以降は前述の半導体装置20である集積回路を構成する回路素子や回路部分がこれらの半導体領域15に振り分けて作り込まれる。

【0022】コイル30を作り込むための最初の工程である図3(e)では、ウエハ10の裏側の基板11の表面から溝31をエッチングにより図のように深く掘り込む。この溝31はもちろんコイル用の微細パターンに形成されたフォトリソレジスト膜をマスクとして掘り込まれるが、その際のエッチングは SF_6 と酸素を含むガス中のプラズマエッチング法、とくにリアクティブイオンエッチング法によるのがよく、これにより例えば20 μm 幅と狭くかつ30 μm 以上の深い溝31を基板11の表面に対して垂直でかつ良好な側面形状で掘り込むことができる。

【0023】次の図3(f)の工程では溝31の溝面を含む基板11の全面を1 μm 程度の膜厚の絶縁膜32で覆う。この絶縁膜32は基板12側に半導体装置20が作り込まれる以前の場合は1100 $^{\circ}\text{C}$ の高温下のスチーム酸化法で付けるのがよいが、半導体装置20が作り込まれた以後の場合はシランと酸素を反応ガスとする200 $^{\circ}\text{C}$ 程度の低温下のプラズマCVD法によって成膜するのがよい。

【0024】図3(g)の工程では溝31内にコイル導体33用の高導電性金属を充填する。この金属には銅を用い2段階の無電解めっき法で成長させるのがよい。最初は下地と密着性のよい低速の無電解めっきとし、硫酸銅、ロッシェル塩、フォルムアルデヒド、苛性ソーダ、シアン化ナトリウム等を含むめっき液により20 $^{\circ}\text{C}$ の温度下で薄く銅を成長させ、次に硫酸銅、EDTA 2Na、フォルムアルデヒド、苛性ソーダ、シアン化ナトリウムを含むめっき液を用いるめっき速度が約1桁高い高速無電解めっきにより、70 $^{\circ}\text{C}$ 程度の温度下で銅を溝31内に充填しかつ図のように基板11の全面を覆うように成長させる。

【0025】最後の図3(h)の工程ではコイル導体33用の金属をエッチングしてコイル30を完成する。この工程ではフォトリソレジスト膜をマスクMとし例えば塩酸液を用いる化学エッチングにより銅をコイル30用の所定のパターンに形成し、かつ図示の例では基板11の表面上に銅の一部を残してコイル30の端部用の接続部33aとする。これ以降は図1のようにコイル30側に突起電極35を設ける場合はコイル導体33を保護膜34で被覆するのがよいが、図2のようにコイル導体33を露出させたままで使用しても差し支えない。

【0026】以上説明した実施例に限らず、本発明は種々の態様で実施することができる。例えば、実施例では

50

チップ内の半導体装置が作り込まれる基板部分を誘電体分離構造としたが、接合分離構造としてもよい。溝のコイル導体用金属による充填も実施例の無電解めっきに限らず蒸着、電解めっき等ないしそれらの組み合わせによっても可能である。磁性薄膜とコイルとの配置構造にも自由度があつて、磁気誘導素子がインダクタか変圧器かによっても種々な選択が可能であり、あるいは磁性薄膜をチップ内部に組み入れることも可能である。

【0027】

【発明の効果】以上のとおり本発明の磁気誘導素子用コイルでは、半導体装置ないし集積回路装置が表面側に作り込まれるチップの半導体基板の裏面側に溝を深く掘り込み、この溝面を含む基板の裏面側に絶縁膜を被着し、絶縁膜で覆われた溝を充填するように高導電性金属からなるコイル導体を設け、コイル導体を突起電極を介して相手方の配線導体と接続して半導体装置とともにチップ実装することによって、次の効果を上げることができる。

【0028】(a) チップの半導体基板の裏面側のスペースを有効利用してコイルを作り込むので、小形化のためコイルパターンを微細化しても数百 μm の厚みの基板に溝を深く掘り込んでコイル導体の高さを増すことにより、コイルの電流容量を従来の数倍以上に向上することができる。

(b) コイル導体を櫛歯状に切った溝に嵌め込む構造なのでその発熱をごく薄い絶縁膜を介して半導体基板に逃がすことができ、従来の薄膜導体と磁性薄膜とを絶縁膜を介して積み上げる薄膜積層構造に比べて放熱効果を良好にし、コイルの電流容量を一層向上させることができる。

【0029】(c) コイル導体を突起電極を介して実装相手方の配線導体と接続すると同時に半導体装置を作り込んだチップの実装を果たすことができるので、安定化電源等の組み立てに要する手間を大幅に省くことができる。

(d) チップ表面側の半導体装置がコイル導体からかなり離れているので、薄膜積層構造に比べて半導体装置がコイル電流により発生する磁場の悪影響を受けるおそれを

減少させることができる。

【0030】なお、本発明のコイルは半導体装置とともに相手方に対しチップ実装する方式なので安定化電源等を完全にはワンチップ化できないが、実装相手方をチップと大差がない程度に小形化することができる。

【図面の簡単な説明】

【図1】本発明の磁気誘導素子用コイルの実施例を示し、同図(a)はチップとその実装相手方の断面図、同図(b)はその要部拡大断面図である。

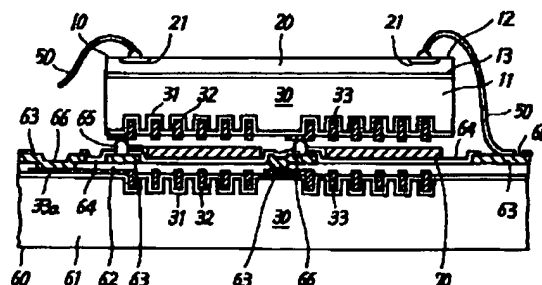
【図2】本発明の磁気誘導素子用コイルの異なる実施例を示すチップとその実装相手方の断面図である。

【図3】チップ内に半導体装置とコイルを作り込む要領を主な工程ごとの状態で示し、同図(a)は基板接合工程、同図(b)は誘電体分離溝の掘り込みと誘電体膜の被着工程、同図(c)は多結晶シリコンの成長工程、同図(d)は半導体領域への誘電体分離の完成工程、同図(e)はコイル用の溝の掘り込み工程、同図(f)は絶縁膜の被着工程、同図(g)はコイル導体用金属による溝充填工程、同図(h)はコイルの完成工程のそれぞれ状態を示すチップ用ウエハの要部断面図である。

【符号の説明】

10	チップないしはそれ用のウエハ
11	半導体基板
20	半導体装置ないしは集積回路装置
21	半導体装置の接続パッド
30	磁気誘導素子用コイル
31	溝
32	絶縁膜
33	コイル導体
30a	コイルの接続部
35	突起電極ないしはバンパ電極
40	チップが実装される相手方
42	配線導体
50	半導体装置の接続用ボンディング線
60	チップが実装される相手方
62	配線導体
65	突起電極ないしはバンパ電極
70	磁気誘導素子用磁性薄膜

【図2】



【図3】

